

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

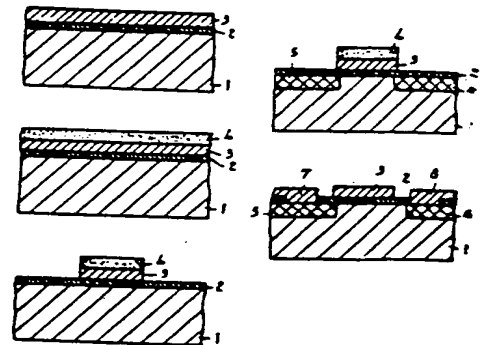
58-32466

## (54) MANUFACTURE OF MOSFET

- (11) 58-32466 (A) (43) 25.2.1983 (19) JP  
 (21) Appl. No. 56-130963 (22) 20.8.1981  
 (71) SANYO DENKI K.K. (72) NOBUYASU TAINO(1)  
 (51) Int. Cl. H01L29/78//H01L29/62

**PURPOSE:** To enable to perform a reliable self-alignment for the titled MOSFET by a method wherein an oxide Mo film is obtained by oxidizing a part of the surface of the Mo layer which will be turned to a gate electrode, and a self-aligning method, in which said Mo film is used as a mask, is used.

**CONSTITUTION:** An oxide Si film 2 and an Mo layer 3 are laminated successively on the surface of a p type Si substrate 1. Then, an oxide Mo film 4 is formed on the surface of the layer 3 by oxidizing a part of the surface of the layer 3. A patterning is then performed only on the part which will be turned to the gate region of the MOSFET, leaving the layers 3 and 4. Then, a p type source 5 and a drain 6 are formed by implanting a p type impurity ion into the substrate 1 by performing a self-aligning method using the films 3 and 4 which were left over by patterning. The layer 3 is then exposed by removing the layer 4, and this exposed layer 3 is used as a gate electrode. Accordingly, a reliable self-alignment can be performed and, as a result, the MOSFET, which has Mo as a gate electrode, of stabilized characteristics can be obtained.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—32466

⑫ Int. Cl.<sup>3</sup>

H 01 L 29/78

#H 01 L 29/62

識別記号

庁内整理番号

7377-5F

⑬ 公開 昭和58年(1983)2月25日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ MOSFETの製造方法

⑮ 発明者 坂東淳史

守口市京阪本通2丁目18番地三  
洋電機株式会社内

⑯ 特 願 昭56—130963

⑰ 出 願 昭56(1981)8月20日

⑱ 出 願 人 三洋電機株式会社

⑲ 発 明 者 田井野伸泰

守口市京阪本通2丁目18番地三  
洋電機株式会社内

守口市京阪本通2丁目18番地

⑳ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称 MOSFETの製造方法

2. 特許請求の範囲

1) 一導電型半導体基板表面にゲート酸化膜を形成し、該酸化膜上にシリコン層を堆積した後、このシリコン層の表面からの一部を酸化シリコン膜とシリコン層とを残存させてパターンニングし、残いて残存酸化シリコン膜とシリコン層とをマスクとするセルフアライン法にて基板とは逆の導電型の不純物イオンを基板に注入してソース、ドレインを得、最後に酸化シリコン膜を除去してシリコン層を露出し、その露出シリコン層をゲート電極とするMOSFETの製造方法

3. 発明の詳述な説明

本発明はMOSFETの製造方法に関し、更に詳しくはシリコン層と酸化シリコン膜とをイオン注入に対するマスクとしたセルフアライン法を用いたMOSFETの製造方法を提供するものである。

セルフアライン法はゲート部分の寸法等を正確に規定し得る事からMOSFETの製造法の主流となっている。ところがMOSFETのゲートとして多用されているシリコン層は注入イオンに依るチャネルリング効果に起因してマスク作用に乏しく注入イオンがシリコン層を突き抜けてしまいシリコン層をゲートとするMOSFETにセルフアライン法を採用するには難点があった。

その為にシリコン層をパターンニングする時に用いたレジスト膜を注入イオンに対するマスクとしても用いる試みや、ゲート酸化膜に窒化シリコン膜を追加してMMOS構成を採用する提案が為されているが、前者の方法ではレジストが硬化してしまい、また後者の場合は敷層構造に適さない、等の不都合を来す。

本発明はこのような諸問題を改善する事を目的としたものである。以下に図面を参照しつつ詳述する。

本発明の第1の工程は第1図に示す如く、一導電型の半導体基板、例えばP型シリコン基板(1)表

一面にゲート酸化膜となる酸化シリコン膜(2)とシリブデン層(3)とを順次積層する。酸化シリコン膜(2)は基板(1)を酸化雰囲気中で酸化する事に依って得られる約500Å厚の無酸化膜から成り、またシリブデン層(3)はCVD法に依って約2000Åの厚みに成長させられる。

第2の工程はこのシリブデン層(3)の表面からの一部を酸化する事に依ってシリブデン層(3)表面に酸化シリブデン膜(4)を得るところにある(第2図)。このシリブデン層(3)の酸化工程は重要で、例えば基板(1)をN<sub>2</sub>とO<sub>2</sub>との混合ガスの400℃の酸化雰囲気中に置いた時の酸化シリブデン膜(4)の成長量並びにシリブデン層(3)の減少量を第6図に示す。この図から明らかな如く、この酸化雰囲気中で2時間酸化処理を施す事に依って600Åのシリブデン層(3)が酸化され、その代りにその約4倍の厚みの酸化シリブデン膜(4)が成長する。

第3の工程は最終的にMOSFETのゲート領域となる部分にのみシリブデン層(3)と酸化シリブデン膜(4)とを焼存させてパターニングするところ

い場合、Bはシリブデン層(3)のみでイオン注入を行った場合、Cはシリブデン層(3)表面に酸化シリブデン膜(4)を積層した状態でイオン注入を行った場合、を夫々示しており、この図から明らかな如く、Bの場合にフラットバンド電圧 $V_{FB}$ がマイナス側にシフトしており、基板(1)中に異イオンの突き抜けが起きており、また逆に酸化シリブデン膜(4)を成長させたCの場合は注入を行っていないAと殆ど異なっており、イオンが基板(1)に通していない事を示している。

最後に酸化シリブデン膜(4)をエッチング除去してシリブデン層(3)を露出してこの露出シリブデン層(3)をゲート電極とすると共に、ゲート酸化膜(2)に通直穴を穿ってソース、ドレイン(5)(6)を露出し、その露出したソース、ドレイン(5)(6)に接したソース電極(7)並びにドレイン電極(8)を形成して本発明に係るMOSFETを完成する(第5図)。

本発明は以上の説明から明らかな如く、ゲート電極となるシリブデン層の表面からの一部を酸化して酸化シリブデン膜を得てこれをマスクとする

にある(第3図)。このパターニングは通常のフォトリソグラフィ法に依って実施される。

第4の工程は、第4図に示す如く、第3の工程でパターニングして焼存した酸化シリブデン膜(4)とシリブデン層(3)とをマスクとするセルフアライン法にて基板(1)とは逆の導電型、即ちP型で代役されるP型の不純物イオンを基板(1)に注入してP型のソース(5)、ドレイン(6)を得るところにある。この時の注入条件は、P型のイオンとして $31P^+$ を、約50KeVの加速電圧で、ドーズ量 $1 \times 10^{15}/cm^2$ であった。この注入条件に於てはその注入イオンは酸化シリブデン膜(4)の存在に依ってゲート領域のチャンネル部分には通せず、露出した基板(1)にのみ注入されるが、シリブデン層(3)のみをマスクとしてこの注入条件で $31P^+$ を注入すると、シリブデン層(3)のチャンネルリング効果に依って注入イオンはこのシリブデン層(3)を突き抜けて基板(1)にまで達してしまう。この現象を示したのが第7図で、この第7図はMOSダイオードのC-V特性図であって、Aはイオン注入を施さな

セルフアライン法に依ってソース、ドレインを形成しているので、酸化シリブデンがシリブデンの注入イオンに対する阻止能力の不足を補い、確實なセルフアラインを施す事が出来、その結果、シリブデンをゲート電極とする安定した特性のMOSFETを得る事が出来る。

#### 4. 図面の簡単な説明

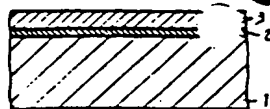
第1図乃至第5図は本発明方法を工程順に示した断面図、第6図はシリブデンの酸化状態を示した曲線図、第7図はMOSダイオードのC-V特性図であって、(1)は基板、(2)はゲート酸化膜、(3)はシリブデン層、(4)は酸化シリブデン、を夫々示している。

出願人 三洋電機株式会社

代理人 弁理士 佐野 豊 夫



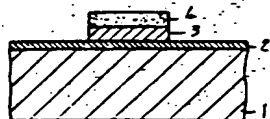
第1図



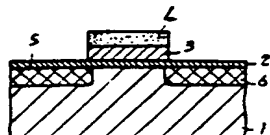
第2図



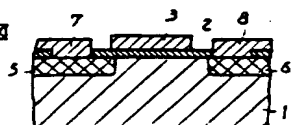
第3図



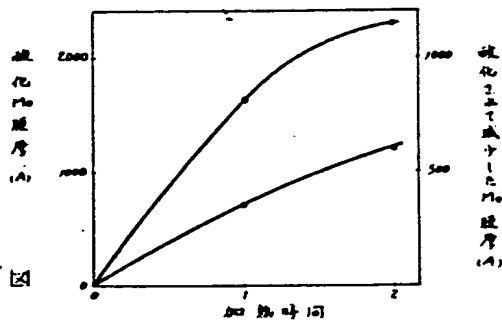
第4図



第5図



第6図



第7図

